

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-298051

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 35/32

(21)Application number : 10-106252

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing :

16.04.1998

(72)Inventor : WATANABE SHIGERU

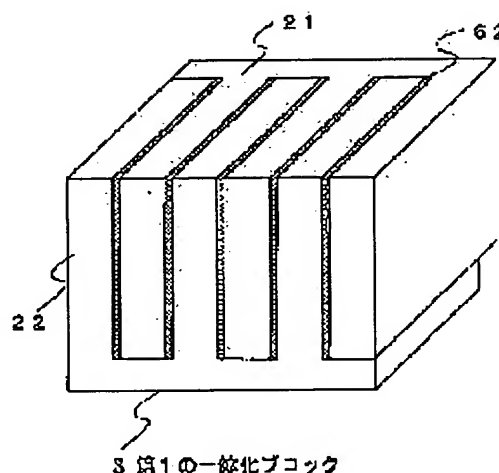
HIRAISHI HISATO

(54) MANUFACTURE OF THERMOELECTRIC ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a small thermoelectric element of high-output voltage which can be used with a small and portable electronic device such as a watch.

SOLUTION: N-type and p-type thermoelectric semiconductors are provided with a fine groove at fine pitches to form an n-type grooved block 21 and a p-type grooved block 22. The workpieces are vertically engaged with each other and tightly fitted with an adhesive layer 62 for unifying. Then, a unified block 3 is provided with a fine groove in the direction vertical to that groove at fine pitch, and the groove is filled with an insulating resin. Finally, a base stage is shaved, and a series connection is formed with an electrode between exposed n-type and p-type thermoelectric semiconductor element chips, thus forming a thermoelectric element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-298051

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶

H 0 1 L 35/32

識別記号

F I

H 0 1 L 35/32

A

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21) 出願番号 特願平10-106252

(22) 出願日 平成10年(1998) 4月16日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 渡辺 滋

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

(72) 発明者 平石 久人

埼玉県所沢市大字下富字武野840番地 シ

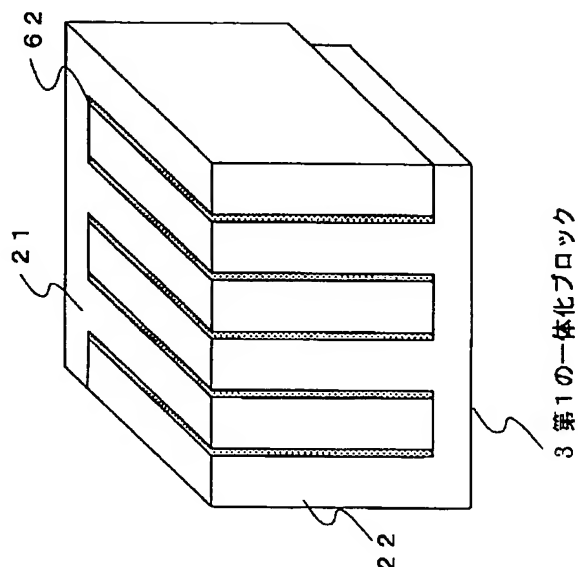
チズン時計株式会社技術研究所内

(54) 【発明の名称】 熱電素子の製造方法

(57) 【要約】

【課題】 腕時計などの小型携帯型電子機器で利用可能な、小型で高い出力電圧の熱電素子の製造方法を提供する。

【解決手段】 n型とp型の熱電半導体にそれぞれ細かいピッチで細い溝加工を施しn型溝入ブロック21とp型溝入ブロック22を形成する。この加工部同志を垂直にはめ合わせてから接着層62で固着一体化する。つぎにこの一体化ブロック3に対し前記溝と直角方向に新たに細かいピッチで細い溝加工を施し、この溝を絶縁樹脂で埋める。最後に基台を削り、露出したn型とp型の熱電半導体素片間を電極で直列接続して熱電素子を形成する。



【特許請求の範囲】

【請求項1】 n型熱電半導体ブロックおよびp型熱電半導体ブロックのそれぞれに第1の溝加工を施し複数の隔壁と基台とを形成する工程と、
n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、
嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体ブロックを固着し一体化ブロックとする工程と、
一体化ブロックに第1の溝加工と交差する第2の溝加工を施す工程と、
第2の溝加工部に絶縁樹脂層を形成する工程と、一体化ブロックに含まれる基台部分を除去することによりn型熱電半導体素子片とp型熱電半導体素片を形成する工程と、
n型熱電半導体素片とp型熱電半導体素片を直列的に接続する電極を形成する工程とを有することを特徴とする熱電素子の製造方法。

【請求項2】 n型熱電半導体ブロックとベースとを固着したn型熱電半導体複合ブロックおよびp型熱電半導体ブロックと、ベースとを固着したp型熱電半導体複合ブロックのそれぞれに第1の溝加工を施し複数の隔壁を形成する工程と、
n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、
嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体複合ブロックを固着し一体化ブロックとする工程と、
一体化ブロックに第1の溝加工と交差する第2の溝加工を施す工程と、
第2の溝加工部に絶縁樹脂層を形成する工程と、
一体化ブロックに含まれるベース部分を除去しn型熱電半導体素子片とp型熱電半導体素片を形成する工程と、
n型熱電半導体素片とp型熱電半導体素片を直列的に接続する電極を形成する工程とを有することを特徴とする熱電素子の製造方法。

【請求項3】 n型熱電半導体ブロックおよびp型熱電半導体ブロックのそれぞれに第1の溝加工を施し複数の隔壁と基台とを形成する工程と、
n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、
第1の嵌合工程による嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体ブロックを固着し一体化ブロックとする工程と、
一体化ブロックに第1の溝加工と交差する第2の溝加工を施し溝入り一体化ブロックとする工程と、
2つの溝入り一体化ブロックを第2の溝加工面で互いに

嵌合し組み合わせる第2の嵌合工程と、
第2の嵌合工程による嵌合部の空隙に絶縁樹脂層を形成し前記2つの溝入りブロックを固着し二重一体化ブロックとする工程と、
二重一体化ブロックに含まれる基台部分を除去しn型熱電半導体素子片とp型熱電半導体素片を形成する工程と、
n型熱電半導体素片とp型熱電半導体素片を直列的に接続する電極を形成する工程とを有することを特徴とする熱電素子の製造方法。

【請求項4】 n型熱電半導体ブロックとベースとを固着したn型熱電半導体複合ブロックおよびp型熱電半導体ブロックと、ベースとを固着したp型熱電半導体複合ブロックのそれぞれに第1の溝加工を施し複数の隔壁を形成する工程と、
n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、
第1の嵌合工程による嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体複合ブロックを固着し一体化ブロックとする工程と、
一体化ブロックに第1の溝加工と交差する第2の溝加工を施し溝入り一体化ブロックとする工程と、
2つの溝入り一体化ブロックを溝加工面で互いに嵌合し組み合わせる第2の嵌合工程と、
第2の嵌合工程による嵌合部の空隙に絶縁樹脂層を形成し前記2つの溝入りブロックを固着し二重一体化ブロックとする工程と、
二重一体化ブロックに含まれるベース部分を除去しn型熱電半導体素子片とp型熱電半導体素片を形成する工程と、
n型熱電半導体素片とp型熱電半導体素片を直列的に接続する電極を形成する工程とを有することを特徴とする熱電素子の製造方法。

【請求項5】 上記嵌合工程は、
接着層あるいは絶縁樹脂層の形成前にすくなくとも一方のブロックの嵌合面に絶縁膜を形成することを特徴とする請求項1、2、3、または4に記載の熱電素子の製造方法。

【請求項6】 上記嵌合工程は、
絶縁性スペーサーを分散した接着層あるいは絶縁樹脂層を形成することを特徴とする請求項1、2、3、または4に記載の熱電素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は熱電発電に用いる熱電素子の製造方法であり、とくに、小型でかつ多数の熱電対で構成される熱電素子の製造方法に関するものである。

【0002】

【従来の技術】熱電対はその両端に温度差を与えることにより電圧を発生する。この電圧を電気エネルギーとして利用するのが熱電発電である。

【0003】熱電発電によれば、熱エネルギーから電気エネルギーへの変換が直接できるため、廃熱利用に代表されるような熱エネルギーの有効的な利用法として注目されている。

【0004】さらに、熱電素子は構造が簡単で他の発電機に比べて小型化に有利な条件を備え、酸化還元電池のように電解液の漏洩や消耗の問題もないことから、電子式の腕時計などの携帯型電子機器への応用も期待される。

【0005】この熱電素子の一般的な構造およびその製造方法としては、たとえば特開昭63-20880号公報あるいは特開平8-43555号公報に開示されている。すなわち熱電素子は、多数の熱電対が平面的に形成されるようにp型とn型の熱電半導体（それぞれおむね柱状）を規則的に配置し、これらの熱電対は電氣的に直列接続したものである。

【0006】熱電対を平面的に設けることで熱電素子は板状となり、その表と裏とはそれぞれ熱電対の温接点位置する面と冷接点位置する面となる。そして、熱電素子の発電は板状の素子の表裏の温度差によって行われる。

【0007】ところで、現在性能指数が最も高いと言われているBiTe系材料を用いた熱電対の出力電圧は1対あたり $400\mu\text{V}/^\circ\text{C}$ ほどである。

【0008】携帯型電子機器は通常、室温近辺で利用されるため、機器の内部での温度差はあまり期待できない。たとえば腕時計の場合、体温と外気温とにより生じる時計内部での温度差はせいぜい 2°C である。

【0009】したがって、時計駆動に必要な1.5V以上の電圧を得るためには、おおよそ2000対以上のBiTe系の熱電対が必要となる。

【0010】さらに腕時計の場合、元々の内容積が小さい上に機械部品や電気回路部品を収納しなくてはならず、熱電素子そのものは非常に小さいことが必須条件である。

【0011】このように熱電対の数が多くかつ小型の熱電素子の製造方法は、前述の特開昭63-20880号公報に開示された製造方法によれば、まず薄板状のp型とn型の熱電半導体をそれぞれの間に絶縁物質を挟みながら次々に接合する。

【0012】続いて、この接合体を薄板状熱電半導体を並べた方向に溝入れする。この溝は細かい間隔で多数形成するので、熱電対が一次元に配列された熱電堆が数多く得られる。これらの熱電対同志を電氣的に直列接続して熱電素子を完成する。

【0013】また、特開平8-43555号公報に開示された方法によれば、板状のp型とn型の熱電半導体を

別々の基板に接合した上で、それぞれの熱電半導体に縦方向と横方向とに細かい間隔で多数の溝入れ加工を行なう。

【0014】この溝入れ加工により基板上に柱状の熱電半導体が規則的に立った、剣山的な形状のものができ、この剣山状のもののn型とp型の2つを準備し、柱状の熱電半導体が互いに間にはいり合うように組み合わせ、絶縁性物質を熱電半導体間に充填する。

【0015】最後に前記基板を除去し、熱電対同志を電氣的に直列接続して熱電素子を完成する。

【0016】

【発明が解決しようとする課題】しかしながら、これらの熱電素子の製造方法によると、熱電半導体材料そのものが非常に脆いために、薄板状の熱電半導体を形成しそれを一つずつ接合していく工程や、あるいは溝入れ加工により剣山状にする工程などで、熱電半導体材料の破損が起こりやすいという問題がある。

【0017】とくに、腕時計内に収容可能な小型の熱電素子に2000対以上という多数の熱電対を形成しようとすると、薄板状熱電半導体の厚さ、あるいは柱状の熱電半導体の太さを $100\mu\text{m}$ 程度以下とする必要があり、上記の脆弱性の問題はきわめて深刻となる。

【0018】〔発明の目的〕本発明の目的はかかる問題を解決し、小型でかつ出力電圧を大きくするために多数の熱電対を有する熱電素子を、容易かつ効率よく製造する方法を提供することにある。

【0019】

【課題を解決するための手段】上記の目的を達成するために本発明の熱電素子の製造方法においては、下記の製造方法を採用する。

【0020】本発明の熱電素子の製造方法においては、n型熱電半導体ブロックおよびp型熱電半導体ブロックのそれぞれに第1の溝加工を施し複数の隔壁と基台とを形成する工程と、n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面互いに嵌合する工程と、嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体ブロックを固着し一体化ブロックとする工程と、一体化ブロックに第1の溝加工と交差する第2の溝加工を施す工程と、第2の溝加工部に絶縁樹脂層を形成する工程と、一体化ブロックに含まれる基台部分を除去することによりn型熱電半導体素子片とp型熱電半導体素子片を形成する工程と、n型とp型熱電半導体素子片を直列的に接続する電極を形成する工程とを有する。

【0021】また本発明の熱電素子の製造方法においては、n型熱電半導体ブロックとベースとを固着したn型熱電半導体複合ブロックおよびp型熱電半導体複合ブロックとベースとを固着したp型熱電半導体複合ブロックのそれぞれに第1の溝加工を施し複数の隔壁を形成する工程と、n型熱電半導体ブロックとp型熱電半導体ブロック

を両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体複合ブロックを固着し一体化ブロックとする工程と、一体化ブロックに第1の溝加工と交差する第2の溝加工を施す工程と、第2の溝加工部に絶縁樹脂層を形成する工程と、一体化ブロックに含まれるベース部分を除去しn型熱電半導体素子片とp型熱電半導体素子片を形成する工程と、n型とp型熱電半導体素子片を直列的に接続する電極を形成する工程とを有する。

【0022】さらに本発明の熱電素子の製造方法においては、n型熱電半導体ブロックおよびp型熱電半導体ブロックのそれぞれに第1の溝加工を施し複数の隔壁と基台とを形成する工程と、n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、第1の嵌合工程による嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体ブロックを固着し一体化ブロックとする工程と、一体化ブロックに第1の溝加工と交差する第2の溝加工を施し溝入り一体化ブロックとする工程と、2つの溝入り一体化ブロックを第2の溝加工面で互いに嵌合し組み合わせる第2の嵌合工程と、第2の嵌合工程による嵌合部の空隙に絶縁樹脂層を形成し前記2つの溝入りブロックを固着し二重一体化ブロックとする工程と、二重一体化ブロックに含まれる基台部分を除去しn型熱電半導体素子片とp型熱電半導体素子片を形成する工程と、n型とp型熱電半導体素子片を直列的に接続する電極を形成する工程とを有する。

【0023】また本発明の熱電素子の製造方法においては、n型熱電半導体ブロックとベースとを固着したn型熱電半導体複合ブロックおよびp型熱電半導体複合ブロックとベースとを固着したp型熱電半導体複合ブロックのそれぞれに第1の溝加工を施し複数の隔壁を形成する工程と、n型熱電半導体ブロックとp型熱電半導体ブロックを両者の基台同士がほぼ垂直に位置するように第1の溝加工面で互いに嵌合する工程と、第1の嵌合工程による嵌合部の空隙に接着層を形成しn型熱電半導体ブロックとp型熱電半導体複合ブロックを固着し一体化ブロックとする工程と、一体化ブロックに第1の溝加工と交差する第2の溝加工を施し溝入り一体化ブロックとする工程と、2つの溝入り一体化ブロックを溝加工面で互いに嵌合し組み合わせる第2の嵌合工程と、第2の嵌合工程による嵌合部の空隙に絶縁樹脂層を形成し前記2つの溝入りブロックを固着し二重一体化ブロックとする工程と、二重一体化ブロックに含まれるベース部分を除去しn型熱電半導体素子片とp型熱電半導体素子片を形成する工程と、n型とp型熱電半導体素子片を直列的に接続する電極を形成する工程とを有する。

【0024】〔作用〕本発明の熱電素子の製造方法においては、熱電半導体ブロックの溝加工により熱電半導体

材料の隔壁が整然と配列して残る。このような隔壁は個々には非常に脆いものである、しかしこれらを一体として扱い、嵌合工程により安定したブロックを改めて形成する工程をとることで、多数の熱電半導体素子片で構成された小型の熱電素子を容易かつ効率的に得ることができる。

【0025】

【発明の実施の形態】以下、図面を用いて本発明の最適な実施形態における熱電素子の製造方法を詳しく説明する。

【0026】〔第1の製造方法：図1～図8〕まずはじめに、本発明の実施の形態における第1の熱電素子の製造方法を図1～図8に示す。

【0027】はじめに、図1のように、n型熱電半導体ブロック1とp型熱電半導体ブロック2とを用意する。

【0028】続いて図2の工程では、n型熱電半導体ブロック1に縦溝26を形成し、縦隔壁27を残してn型溝入りブロック21とする。同様に、p型熱電半導体ブロック2からp型溝入りブロック22を形成するが、このとき、n型溝入りブロック21とp型溝入りブロック22とで、縦溝26のピッチを同一にし、かつ、一方のブロックの縦溝26幅が他方のブロックの縦隔壁27幅よりも大きくなるようにする。

【0029】縦溝26の加工はダイシングソーを用いた研削加工や、ワイヤーソーによる研磨加工により行う。

【0030】本製造方法ではn型熱電半導体ブロック1としてBiTeSeの焼結体、p型熱電半導体ブロック2としてBiTeSbの焼結体を用い、大きさはともに10mm×3mm×4mmとした。

【0031】そして、それぞれのブロックには深さが3mm（外形の4mmを厚さ方向とする）、ピッチ120μm、幅70μmの縦溝26をワイヤーソーによって形成した。当然ながらこのときの縦隔壁27幅は50μmとなり、縦溝26幅の方が大きくなる。

【0032】図3の工程では、図2に示したn型溝入りブロック21とp型溝入りブロック22とで、互いに縦溝26に相手の縦隔壁27を挿入し合せて組み合わせる一体化する。このとき、n型溝入りブロック21の基台25と、p型溝入りブロック22の基台25とが互いにほぼ垂直になるように組み合わせる。ただし、精密な垂直度はここでは必要としない。組み合わせた2つのブロックは嵌合部に接着層62を設けて固着することで、第1の一体化ブロック3とする。

【0033】第1の一体化ブロック3を作製するときの接着で注意すべき点は、接着層62には2つのブロックの接合以外に、n型溝入りブロック21とp型溝入りブロック22との間の電氣的絶縁性を確保する働きをも持たせなければならないことにある。

【0034】たとえば、ワイヤーソーのような研磨加工によって縦溝26の内壁が非常に平滑に加工できた場合

には、単に流動性の高い接着剤中に固着前の一体化ブロック3を部分的に浸漬し、毛管現象により接着剤を縦溝26と縦隔壁27との隙間に充填すれば絶縁性は確保できる。

【0035】一方、縦溝26の内壁がやや粗面となった場合には、確実に絶縁性を保つために、図6または図7で示した断面構造を提供するような製造方法が好ましい。

【0036】図6はn型溝入りブロック21の縦溝内壁に絶縁膜61を形成し、これをp型溝入りブロック22と組み合わせる。続いて、接着剤を前記のように、毛管現象を利用して充填し硬化させて接着層62とし、第1の一体化ブロック3を完成するものである。

【0037】絶縁膜61としては、酸化シリコンや酸化アルミニウム、窒化シリコンなどの無機膜、あるいはポリミドなどの有機膜のいずれをも用いることができる。なお、絶縁膜61はp型溝入りブロック22の縦溝内壁側に形成してもよい。さらに、n型、p型溝入りブロック21、22の双方の縦溝内壁に形成すれば、一層確実に絶縁性の確保ができる。

【0038】図7は絶縁性スペーサー71を分散させた接着剤を用いて第1の一体化ブロック3を作製する方法を示した図である。たとえば絶縁性スペーサー71として平均粒径8 μ mの球形のガラスビーズをエポキシ接着剤に5重量%添加する。この結果、ガラスビーズは接着層62にほぼ均一に分散され、n型溝入りブロック21とp型溝入りブロック22とはこのガラスビーズにより空間的に強制的に隔てられ、電気的な絶縁も確保されることになる。

【0039】このように図3において完成した第1の一体化ブロック3は、つぎに図4で示した再度の溝加工工程によって横溝46を形成し、第1の溝入り一体化ブロック43にする。横溝46の加工は図2での縦溝26の工程と同様に実施し、残った部分が横隔壁47となる。なお、本工程での横溝46は縦溝26に交差した方向に形成するもので、一般的には図4に示したとおり直交させるのが最適である。

【0040】横溝46は図4のように第1の一体化ブロック3に含まれるn型熱電半導体の加工面29から形成しても、これとは垂直に側面28から形成してもよい。横溝46の深さは、第1の一体化ブロック3でのn型熱電半導体とp型熱電半導体の縦溝26や縦隔壁27の嵌合部を切断する箇所まで形成することが好ましい。

【0041】また横溝46を形成する際、図4のように嵌合されていないp型熱電半導体の基台25部分は同時に切り落とされることになる。また、横溝46をn型熱電半導体の側面29から形成する場合は、n型熱電半導体の基台25部分が切り落とされる。

【0042】横溝46の幅は縦溝26とは異なり、なるべく細くするのがよい。これはつぎの工程でわかるとお

り、熱電素子としての発電能力に寄与するのは横隔壁47の部分であり、横溝46の領域をできるだけ小さくするのが素子性能面から好ましいからである。

【0043】したがって、本製造方法ではピッチ120 μ m、幅40 μ m、深さ3mmの横溝46を形成した。なお、溝幅40 μ mはワイヤーソー加工での細幅としてのほぼ限界値である。

【0044】図4の工程に続いて、横溝46に絶縁性の樹脂を充填し、硬化して絶縁樹脂層54を形成する。このとき、充填する樹脂は図3に示した嵌合部に充填する接着層62と機能的には同様な働きをするため、一般的には同じ材料を用いる。そこでここでは接着層62も含めて絶縁樹脂層54とした。

【0045】絶縁樹脂層54で固めた第1の溝入り一体化ブロック43は、残っているn型熱電半導体またはp型熱電半導体の基台25部分を研磨あるいは研削で除去し、n型熱電半導体とp型熱電半導体の縦溝26と縦隔壁27との嵌合部を残すように仕上げる。このとき多少は嵌合部分まで除去してもよい。こうして図5の第1の熱電素子ブロック53を得た。

【0046】最後に、図5に示したn型熱電半導体素片51とp型熱電半導体素片52とを電気的に直列に接続して、図8の熱電素子80を完成した。

【0047】図8は図5の第1の熱電素子ブロック53を真上から見た平面図に対応し、図8での上面側と下面側とに電極を形成して熱電半導体素片間を電気的に接続してある。

【0048】電極は、第1の熱電素子ブロック53の上面に形成した上面電極81a、81b、と第1の熱電素子ブロック53の下面に形成した下面電極82a、82b、83、84よりなる。これらの電極はいずれも第1の熱電素子ブロック53の上面と下面とに金(Au)膜を真空蒸着法、スパッタリング法、無電解メッキ法などにより形成し、フォトリソグラフィー技術によってその金膜をパターンニングして形成する。

【0049】なお、電極を形成する上面と下面とが、前記のような研削だけでは表面粗さとして問題となる場合、ラッピング法などでより平滑な表面とするのもよく、断線などの不良を防止できる。

【0050】図8の各種の電極の機能は、上面電極81aと下面電極82aが隣り合ったn型熱電半導体素片51とp型熱電半導体素片52とを直列に接続し、多数の熱電対を形成する電極である。また、上面電極81bと下面電極82bとは熱電素子80の周縁部に必要な電極で、無駄な意味はあるがn型またはp型の熱電半導体素片を並列に接続している。下面電極83、84は外部への電圧取り出し電極である。

【0051】電極としては、金膜だけでなく他の金属膜、たとえば、Cu膜や、Al膜や、Ni膜や、Fe膜なども利用できる。また、形成方法も、印刷法やマスク

蒸着法、あるいはガラスや金属酸化物などの表面が絶縁性の板状材料にあらかじめ電極をパターンングしておき、それを板状材料ごと張り付けるなどの方法も用いることができる。

【0052】本製造方法によれば、図2あるいは図4の工程において、熱電半導体材料の非常に薄い縦隔壁27や横隔壁47を形成することにはなる。しかし、従来例の特開昭63-20880号公報と比較すると、隔壁はきわめて薄くて脆いものの一体のブロックとなっており、個々の隔壁を持って移動したり重ねるなどの微妙な操作をする必要がなく、残っている基台25を挟持するなどによりブロック全体として操作すればよい点で全く異なる。

【0053】また、従来例の特開平8-43555号公報の場合には一体のブロックが示されているが、熱電半導体を柱状に加工しているために、依然脆さの問題が深刻で製造は困難を極める。これに対して、本発明の製造方法によれば、隔壁状態で一体のブロックを用いた製造方法であり、脆性材である熱電半導体材料の微細加工や組立てが容易にできるのである。

【0054】〔第2の製造方法：図9および図10〕つづいて本発明における第2の熱電素子の製造方法を、図9および図10を用いて説明する。

【0055】ここでは、まず、図9のようにn型熱電半導体ブロック1とベース90とを接合したn型熱電半導体複合ブロック91、およびp型熱電半導体ブロック2とベース90とを接合したp型熱電半導体複合ブロック92とを用意する。

【0056】各熱電半導体ブロック1、2とベース90との接合は、接着剤またはワックスにより行う。また、ベース90としてはガラス、セラミックス、プラスチック、金属など、ある程度の硬度を有する材料ならば何れでも用いることができる。

【0057】続いて、図面は省略したが、これらの熱電半導体複合ブロック91、92について熱電半導体ブロック1、2の部分に、図2と同様の縦溝形成を行う。縦溝のピッチと幅については図2において説明したとおりであるが、深さについてはおおむね熱電半導体ブロック1または2とベース90との界面付近までとする。すなわち、この界面の少し手前まで、あるいはちょうど界面まで、あるいは少しベース90に切り込むまでのいずれかを状況により選択する。

【0058】図10はn型とp型の熱電半導体複合ブロック91、92に縦溝形成をした2つのブロックを図3と同様に一体化して第2の一体化ブロック103としたものである。

【0059】これに引き続いて、図面は省略したが、図4、5において説明したと同様の工程を経て、図5で示したと同じ第1の熱電素子ブロック53が得られる。

【0060】本製造方法によれば、ベース90が第1の

製造方法の基台25に機能的に相当するものであり、別の材料を使うことで第1の製造方法と比べて熱電半導体材料の利用効率が大幅に向上するという利点がある。

【0061】上記の第1および第2の製造方法によって形成した熱電素子は、外形3mm×10mmにおいて約2000対の熱電対が含まれている。この熱電素子に温度差2℃を与えたところ、約1.6Vの電圧が得られた。

【0062】〔第3の製造方法：図11～図14〕つぎに本発明における第3の熱電素子の製造方法を、図11～図14を用いて説明する。

【0063】図11は第1の製造方法での図4とほぼ同様にして作製した、2つの第1の溝入り一体化ブロック43a、43bである。ただし、図11の場合の横溝46と横隔壁47については、後の嵌合の工程の関係から、第1の製造方法の図2での縦溝26、縦隔壁27で説明したような仕様とする。すなわち、第1の溝入り一体化ブロック43aと43bとでは、横溝のピッチを同一にし、かつ、一方のブロックの横溝幅が他方のブロックの横隔壁幅よりも大きくなるようにする。

【0064】図12は図11の2つの第1の溝入り一体化ブロック43a、43bを組み合わせて一体化し、固着して得た第1の二重一体化ブロック123である。この場合も図には示していないが、第1の製造方法で述べたのと同様にそれぞれの隔壁間には接着層を充填して固着する。

【0065】本製造方法の一体化に際しての追加すべきより好ましい製造条件として、つぎの図13に示したように、n型熱電半導体素片51とp型熱電半導体素片52とが市松模様規則的に配列するように相互の位置合わせをすることがある。

【0066】このような位置合わせは、外形に基準面を設けてこの面を基準にジグを用いて組み合わせればよい。このような位置合わせを行なうと、図14で説明する配線構成が可能となり、配線工程が容易になるばかりでなく熱電半導体の利用効率が向上する。

【0067】以上のように作製した第1の二重一体化ブロック123は、直ちにその上下面にある基台25を研磨あるいは研削で除去し、n型熱電半導体とp型熱電半導体の縦溝26、横溝46や縦隔壁27、横隔壁47の全てが嵌合している中央の領域を残すように仕上げて、図13の第2の熱電素子ブロック133を得る。

【0068】最後に、図13に示したn型熱電半導体素片51とp型熱電半導体素片52とを電極により電気的に直列に接続して、図14の熱電素子80を完成した。図14は図8に対応する素子の平面図である。

【0069】電極を形成する上面と下面とは、第1の製造方法と同様に、表面粗さが問題となる場合には、ラッピング法などにより平滑面とすれば断線不良を防止できる。

【0070】電極は第2の熱電素子ブロック133の上面に形成した上面電極81と第2の熱電素子ブロック133の下面に形成した下面電極82、83、84よりなる。これらの電極はいずれも第2の熱電素子ブロック133の上面と下面とに金膜を真空蒸着法、スパッタリング法、無電解メッキ法などにより形成し、フォトリソグラフィ技術によって、その金膜をパターンニングして形成する。

【0071】図14の電極で、上面電極81と下面電極82は隣り合ったn型熱電半導体素片51とp型熱電半導体素片52とを直列に接続し多数の熱電対を形成する電極である。また、下面電極83、84は外部への電圧取り出し電極である。

【0072】この製造方法によれば、第1または第2の製造方法では必要な図8の上面電極81bと下面電極82bとが不要となり、熱電半導体素片をより効率的に利用できるという利点がある。

【0073】さらに、本製造方法の熱電素子によれば、単位体積あたりの熱電半導体素片の数を第1あるいは第2の製造方法での熱電素子の約2倍にすることができ、より小型で高出力電圧の熱電素子が得られることになる。

【0074】〔第4の製造方法：図15および図16〕つづいて本発明における第4の熱電素子の製造方法を、図15および図16用いて説明する。

【0075】本製造方法は第2と第3の製造方法の結合に相当する。すなわち、第2の製造方法の図10において作製した2つの第2の一体化ブロック103に、第3の製造方法の図11で述べたと同様の横溝46の加工を施して、2つの第2の溝入り一体化ブロック153a、153bを作製する。

【0076】つぎに第2の溝入り一体化ブロック153a、153bを組み合わせて固着して作製したのが、第2の二重一体化ブロック163である。この場合も、第3の製造方法の図12において説明したのと同じで、2つの第2の溝入り一体化ブロック153a、153bを組み合わせる際に、相互の位置関係の制御を行うのがきわめて有効である。

【0077】この位置合わせに関しては、第3の製造方法のように外形基準で行うこともできる。また、この製造方法ではベース90としてガラスなどの透明部材を用いれば、顕微鏡を用いて熱電半導体素片51、52を直接観察し、精密に位置合わせを行うこともできる。

【0078】第2の二重一体化ブロック163は、この後、第3の製造方法の図13および図14で説明したようにして、図14と同様の熱電素子80とする。

【0079】上記第3および第4の製造方法によって形成された熱電素子は、外形3mm×10mmにおいて約4000対の熱電対が含まれている。つまり2回の嵌合工程を行うことによって、第1および第2の製造方法で

形成される熱電素子の2倍の集積密度となっている。

【0080】この熱電素子に2℃の温度差を与えることにより、約3.2Vの非常に高い電圧を得ることができた。

【0081】これら本発明の製造方法により形成した熱電素子は腕時計などの小型携帯型電子機器の中に十分に収納可能な大きさであり、かつ得られた開放電圧は腕時計を駆動するには十分な値であり、さらに昇圧回路と組み合わせることで種々の携帯型機器の駆動も可能である。

【0082】

【発明の効果】以上の説明で明らかなように、本発明の製造方法によれば、熱電半導体部材に精密な機械加工である溝加工を行い、このような溝加工済みの部材を組み合わせて一体化する工程により、小型で高出力電圧の熱電素子を容易かつ効率的に作製できる。

【0083】そして、本発明の製造方法により熱電素子として小型で高い出力電圧が得られることから、腕時計などの携帯型電子機器において温度差発電が利用できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における熱電素子の製造方法を示す斜視図である。

【図2】本発明の第1の実施形態における熱電素子の製造方法を示す斜視図である。

【図3】本発明の第1の実施形態における熱電素子の製造方法を示す斜視図である。

【図4】本発明の第1の実施形態における熱電素子の製造方法を示す斜視図である。

【図5】本発明の第1の実施形態における熱電素子の製造方法を示す斜視図である。

【図6】本発明の第1の実施形態における熱電素子の製造方法を示す断面図である。

【図7】本発明の第1の実施形態における熱電素子の製造方法を示す断面図である。

【図8】本発明の第1の実施形態における熱電素子の製造方法を示す平面図である。

【図9】本発明の第2の実施形態における熱電素子の製造方法を示す斜視図である。

【図10】本発明の第2の実施形態における熱電素子の製造方法を示す斜視図である。

【図11】本発明の第3の実施形態における熱電素子の製造方法を示す斜視図である。

【図12】本発明の第3の実施形態における熱電素子の製造方法を示す斜視図である。

【図13】本発明の第3の実施形態における熱電素子の製造方法を示す斜視図である。

【図14】本発明の第3の実施形態における熱電素子の製造方法を示す平面図である。

【図15】本発明の第4の実施形態における熱電素子の製

造方法を示す斜視図である。

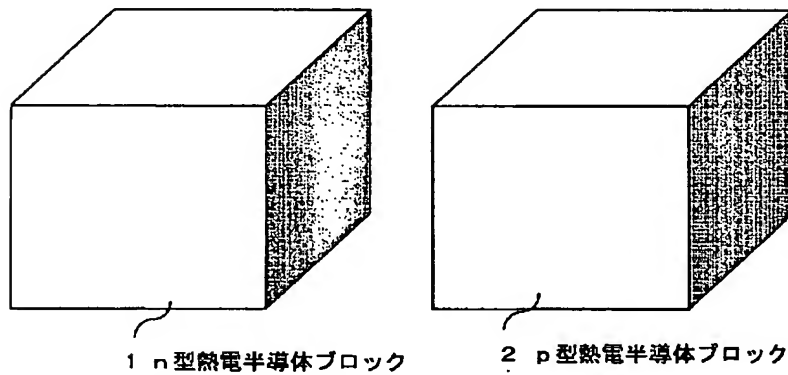
【図16】本発明の第4の実施形態における熱電素子の製造方法を示す斜視図である。

【符号の説明】

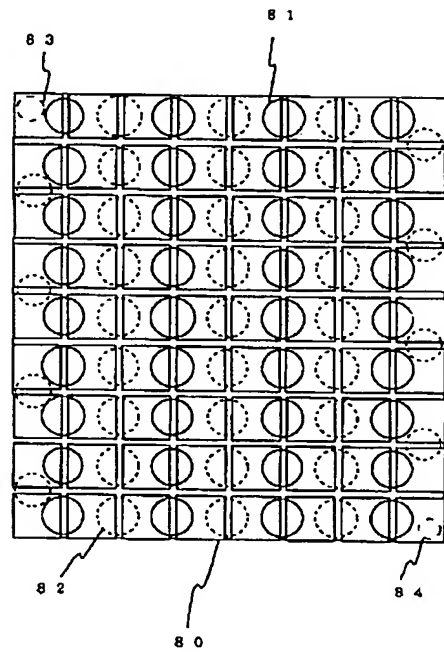
- 1 n型熱電半導体ブロック
- 2 p型熱電半導体ブロック
- 3 第1の一体化ブロック
- 25 基台
- 26 縦溝
- 28 側面

- 29 加工面
- 43 第1の溝入り一体化ブロック
- 46 横溝
- 51 n型熱電半導体素片
- 52 p型熱電半導体素片
- 54 絶縁樹脂層
- 61 絶縁膜
- 62 接着層
- 71 絶縁性スペーサー
- 90 ベース

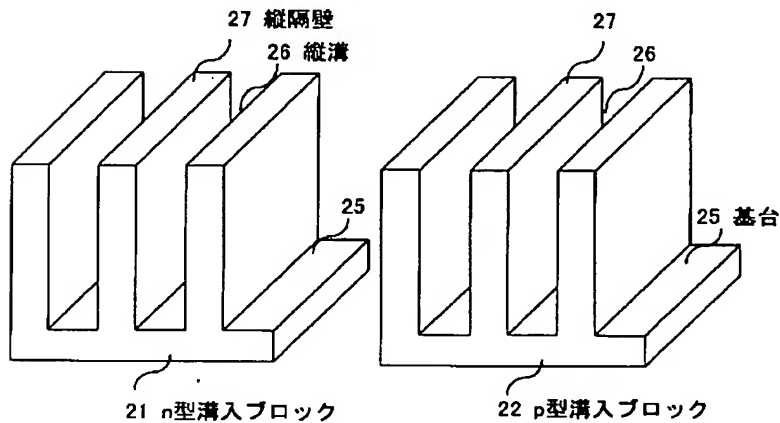
【図1】



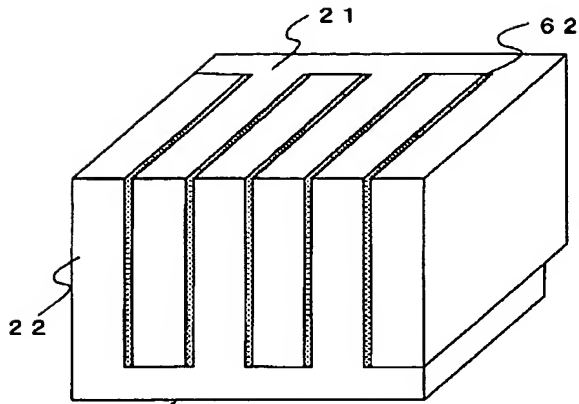
【図14】



【図2】

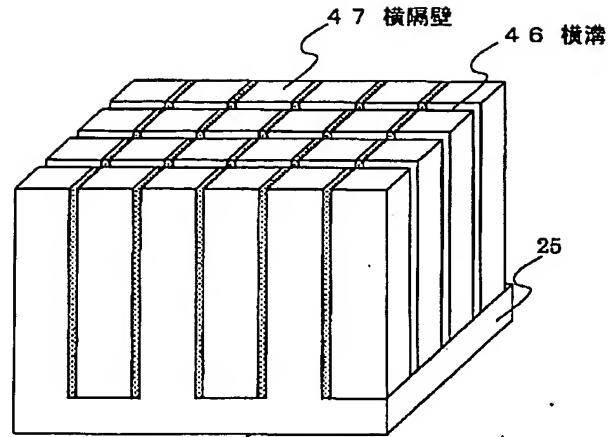


【図3】



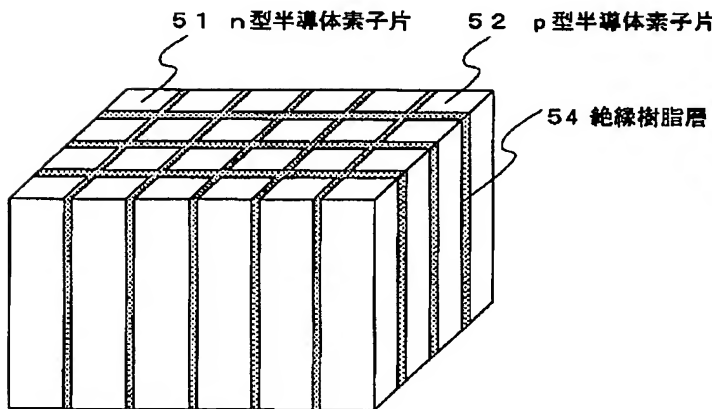
3 第1の一体化ブロック

【図4】



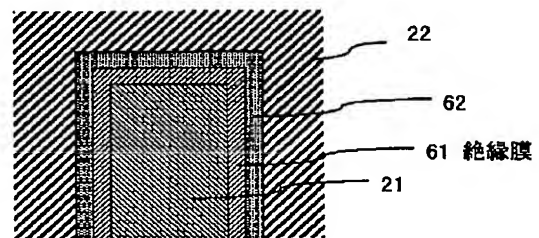
43 第1の溝入一体化ブロック

【図5】

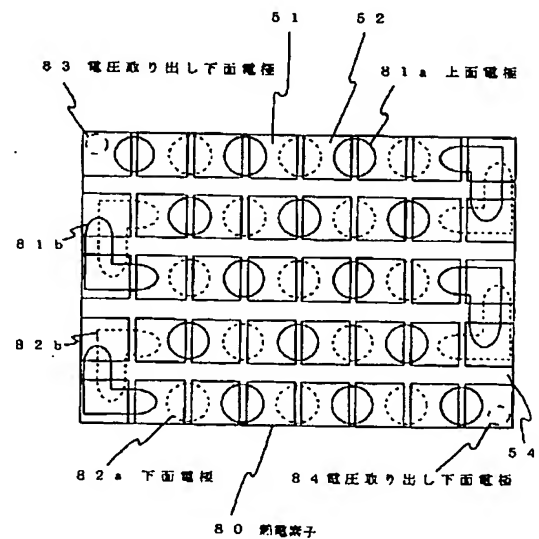


53 第1の熱電素子ブロック

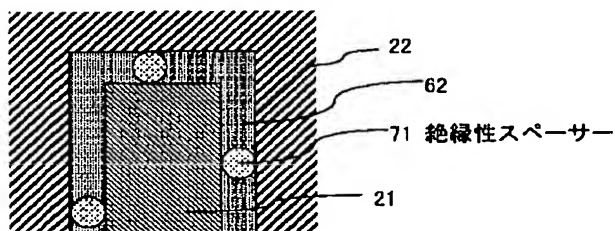
【図6】



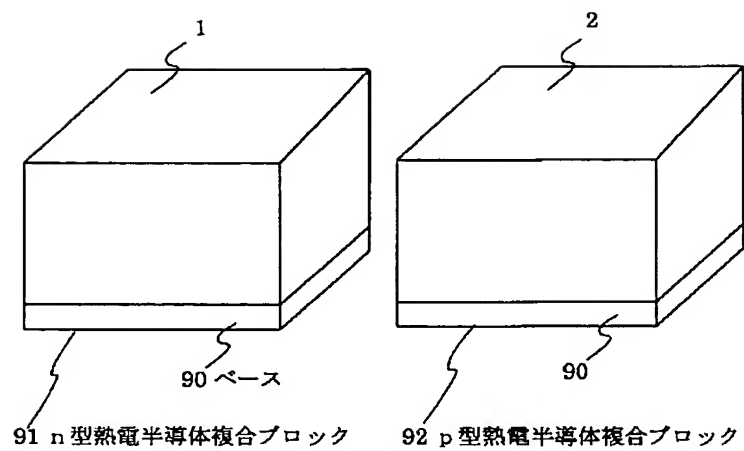
【図8】



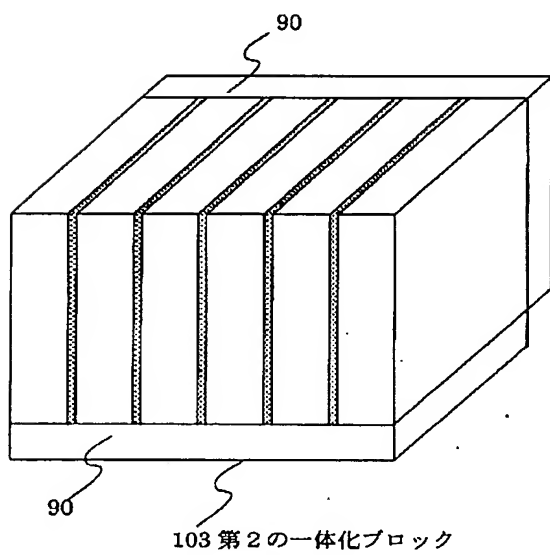
【図7】



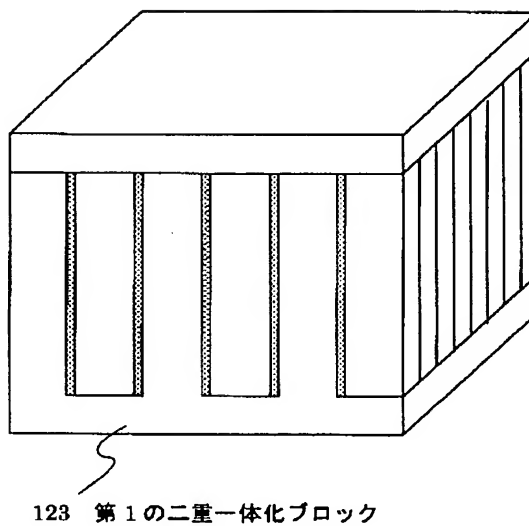
【図9】



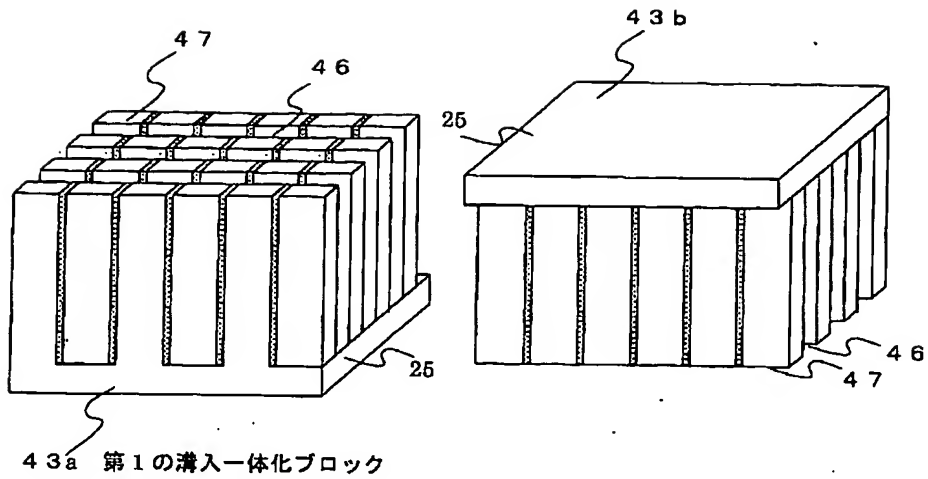
【図10】



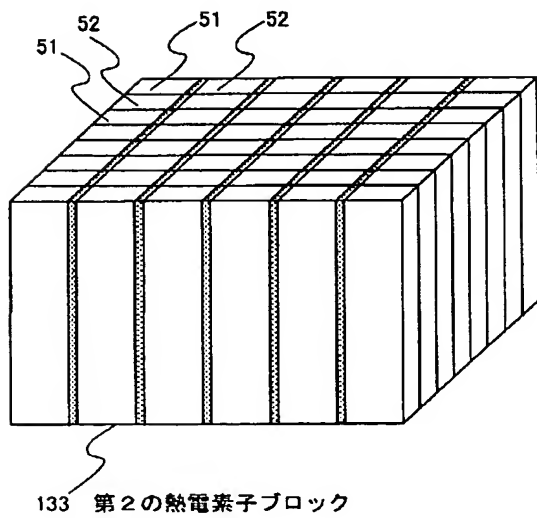
【図12】



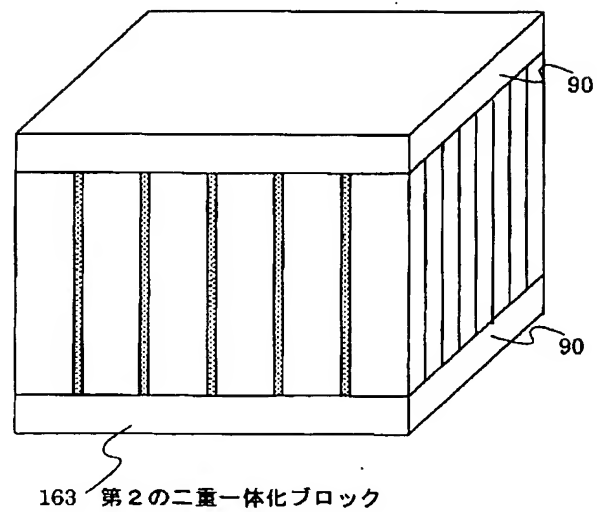
【図11】



【図13】



【図16】



【図15】

